

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270781
 (43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H01L 27/06
 G05F 1/56
 H01L 21/76
 H01L 27/04
 H01L 21/822
 H01L 21/8234
 H01L 21/8238
 H01L 27/092
 H01L 29/78

(21)Application number : 2001-069399

(71)Applicant : RICOH CO LTD

(22)Date of filing : 12.03.2001

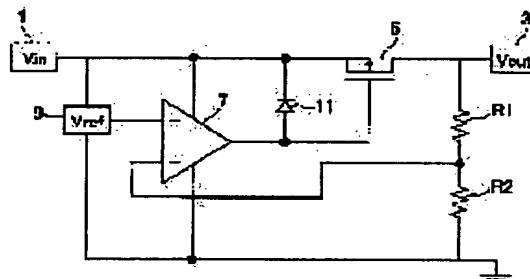
(72)Inventor : NEGORO TAKAAKI
 KIMURA TAKESHI

(54) SEMICONDUCTOR DEVICE AND CONSTANT-VOLTAGE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent damage to the gate oxide film of a lateral DMOS transistor.

SOLUTION: The P-channel lateral DMOS transistor 5 as an output transistor is installed across an input terminal 1 and an output terminal 3. A protective diode 11 is connected across the gate electrode interconnection of the transistor 5 and the source of the transistor 5. The protective diode has a reverse breakdown strength which is about half the gate-oxide-film breakdown voltage of the transistor 5. When the voltage of the gate electrode interconnection of the transistor 5 becomes about half the gate-oxide-film breakdown voltage of the transistor 5, the protective diode 11 is broken down, droppage in the voltage of the gate-electrode interconnection is prevented, and damages to the gate oxide film of the transistor 5 is prevented.



LEGAL STATUS

[Date of request for examination] 17.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-270781

(P2002-270781A)

(43)公開日 平成14年9月20日(2002.9.20)

(51)Int.Cl.
H 01 L 27/06

識別記号
3 1 1

F I
H 01 L 27/06

テ-レ-ト*(参考)
3 1 1 B 5 F 0 3 2

G 05 F 1/56
H 01 L 21/76
27/04

3 1 0

G 05 F 1/56
H 01 L 21/76
27/04

3 1 0 C 5 F 0 3 8
M 5 F 0 4 8
S 5 F 1 4 0
H 5 H 4 3 0

審査請求 未請求 請求項の数 5 OL (全 11 頁) 最終頁に続く

(21)出願番号

特願2001-69399(P2001-69399)

(22)出願日

平成13年3月12日(2001.3.12)

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 根来 宝昭

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72)発明者 木村 岳史

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74)代理人 100085464

弁理士 野口 繁雄

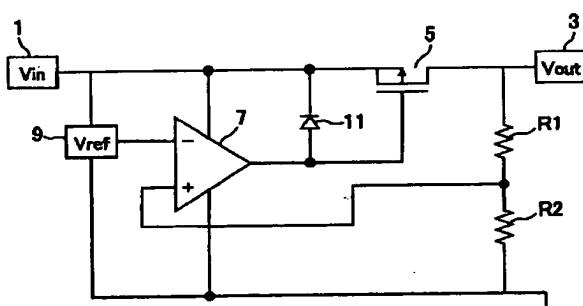
最終頁に続く

(54)【発明の名称】 半導体装置及び定電圧回路

(57)【要約】

【課題】 横形DMOSトランジスタのゲート酸化膜の損傷を防止する。

【解決手段】 入力端子1と出力端子3との間に出力トランジスタとしてのPチャネル型横形DMOSトランジスタ5が設けられている。横形DMOSトランジスタ5のゲート電極配線と横形DMOSトランジスタ5のソースとの間に保護ダイオード11が接続されている。保護ダイオード11は横形DMOSトランジスタ5のゲート酸化膜破壊耐圧の約2分の1の逆耐圧をもつ。横形DMOSトランジスタ5のゲート電極配線の電圧が横形DMOSトランジスタ5のゲート酸化膜破壊耐圧の約2分の1になったとき、保護ダイオード11が降伏を起こし、ゲート電極配線の電圧の降下を防止し、横形DMOSトランジスタ5のゲート酸化膜の損傷を防止する。



【特許請求の範囲】

【請求項1】 横形DMOSトランジスタを備えた半導体装置において、

前記横形DMOSトランジスタのゲート電極配線に、この横形DMOSトランジスタのゲート酸化膜破壊電圧より低い降伏電圧をもつ保護ダイオードが接続されていることを特徴とする半導体装置。

【請求項2】 前記保護ダイオードは、前記横形DMOSトランジスタが形成されている基板に形成された縦型バイポーラトランジスタ構造のエミッタとコレクタを共通とし、ベースとの間で形成するPNダイオードである請求項1に記載の半導体装置。

【請求項3】 前記横形DMOSトランジスタが形成されている基板にはコンベンショナル型MOSトランジスタも形成されており、前記横形DMOSトランジスタのゲート酸化膜の膜厚が前記コンベンショナル型MOSトランジスタのゲート酸化膜の膜厚よりも薄く形成されている請求項1又は2に記載の半導体装置。

【請求項4】 基準電圧発生回路と、前記基準電圧発生回路の出力を一方の入力とし、出力電圧を分圧した電圧を他方の入力とする差動増幅回路と、前記差動増幅回路により制御される出力トランジスタとを備えた定電圧回路において、

前記出力トランジスタは横形DMOSトランジスタにより構成され、前記横形DMOSトランジスタのゲート電極配線に、この横形DMOSトランジスタのゲート酸化膜破壊電圧より低い降伏電圧をもつ保護ダイオードが接続されていることを特徴とする定電圧回路。

【請求項5】 前記出力トランジスタを構成する横形DMOSトランジスタのゲート酸化膜の膜厚は、前記基準電圧回路もしくは前記差動増幅回路又はそれらの両方に含まれるコンベンショナル型MOSトランジスタのゲート酸化膜の膜厚よりも薄く形成されている請求項4に記載の定電圧回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、横形DMOSトランジスタを備えた半導体装置と、横形DMOSトランジスタを出力トランジスタとして備えた定電圧回路に関するものである。ここで、横形DMOSトランジスタとは、ソース領域を囲むようにソース領域及びドレイン領域とは逆導電型の低濃度不純物層を備え、ゲート電極直下の低濃度不純物層表面をチャネル領域とする電界効果トランジスタ（横方向二重拡散絶縁ゲート型電界効果トランジスタ）をいう。

【0002】

【従来の技術】 高耐圧の定電圧回路としては、出力トランジスタとしてバイポーラトランジスタを使用した低コストの製品が多く出ている。図11は、出力トランジスタとしてバイポーラトランジスタを使用した定電圧回路

の一例を示す回路図である。基準電圧発生回路9の出力電圧と、出力端子3の電圧を分圧抵抗R1とR2で分割された電圧を差動増幅回路7により比較し、差動増幅回路7の出力により出力トランジスタとしてのPチャネル型バイポーラトランジスタ4を制御する。出力端子3の電圧を分圧抵抗R1とR2で分割した電圧が基準電圧発生回路9の出力電圧よりも小さいとき、差動増幅回路7の出力は小さくなり、出力端子3の電圧は大きくなる。逆に出力端子3の電圧を抵抗R1とR2が分割した電圧が基準電圧発生回路9の出力電圧よりも大きいとき、差動増幅回路7の出力は大きくなり、出力端子3の電圧は小さくなる。このようにして出力端子3の電圧は一定に保たれる（特開2000-235422公報参照）

【0003】 しかし、出力トランジスタとしてバイポーラトランジスタを使用した定電圧回路では、電流駆動方式であるため消費電流が下げられず、省エネルギーの時代には合わない製品となってきた。そこで、定電圧回路の出力トランジスタとしてコンベンショナル型MOSトランジスタが使用されている（特開平10-301642号公報参照）。ここで、コンベンショナル型MOSトランジスタとは、ドレイン領域がチャネル領域より濃い不純物濃度で形成された構造のMOSトランジスタをいう。出力トランジスタとしてコンベンショナル型MOSトランジスタを使用した定電圧回路は消費電流が非常に少ないというメリットがある。

【0004】

【発明が解決しようとする課題】 出力トランジスタとしてコンベンショナル型MOSトランジスタを用いた定電圧回路の製品化にあたり、出力トランジスタとしてのコンベンショナル型MOSトランジスタのゲート酸化膜を厚くし、ソースドレイン間の距離を大きくすることによって、出力トランジスタの耐圧の向上を図っている。しかし、ソースドレイン間の距離を大きくすると、バイポーラ製品よりもチップ面積が非常に大きくなってしまうという問題があった。

【0005】 そこで、出力トランジスタとして、MOSトランジスタでも横形DMOSトランジスタを使用すれば、ソースドレイン間の距離を離さずに出力トランジスタを形成することができるので、チップ面積をかなり縮小できる。横形DMOSトランジスタでは、ゲート酸化膜直下のチャネル濃度を傾斜拡散で構成してMOSトランジスタの動作電圧（しきい値電圧）V_{th}を制御しているので、ソースドレイン間の耐圧を高くするためにゲート酸化膜の膜厚を厚くするとしきい値電圧V_{th}が非常に高い値になる。例えば、ゲート酸化膜の膜厚が30nm（ナノメートル）のときしきい値電圧V_{th}は0.8V、ゲート酸化膜の膜厚が50nmのときしきい値電圧V_{th}は1.5V、ゲート酸化膜の膜厚が80nmのときしきい値電圧V_{th}は2.5Vになる。すなわち、横形DMOSトランジスタを出力トランジスタとして定電圧回路に

組み込んだとき、低い電圧で動作できないという問題があった。このため、横形DMOSトランジスタのゲート酸化膜の膜厚は50nm以下の膜厚で形成せざるをえない。

【0006】しかし、横形DMOSトランジスタのゲート酸化膜の膜厚を薄くすると、ゲート酸化膜の破壊耐圧が低くなり、出力電流に対して横形DMOSトランジスタが充分な消費電流能力をもっていたとしても、万一、入力電圧がゲート酸化膜にかかった場合、ゲート酸化膜破壊をおこしたり、破壊に至らなくてもトランジスタ特性を変えてしまったりするという問題があった。このような問題は、定電圧回路に限らず、横形DMOSトランジスタを備えた半導体装置全般にいえることである。

【0007】本発明の第1の目的は、横形DMOSトランジスタを備えた半導体装置において、横形DMOSトランジスタのゲート酸化膜の損傷を防止できる半導体装置を提供することである。本発明の第2の目的は、横形DMOSトランジスタを出力トランジスタとして用い、この横形DMOSトランジスタのゲート酸化膜の損傷を防止できる定電圧回路を提供することである。

【0008】

【課題を解決するための手段】本発明の半導体装置は、横形DMOSトランジスタを備えた半導体装置であって、横形DMOSトランジスタのゲート電極配線に、この横形DMOSトランジスタのゲート酸化膜破壊電圧より低い降伏電圧をもつ保護ダイオードが接続されているものである。ここで、ゲート酸化膜破壊電圧は絶対値で表される。

【0009】保護ダイオードが降伏を起こすことにより、ゲート電極配線の電圧は、横形DMOSトランジスタのゲート酸化膜破壊電圧にならない。これにより、横形DMOSトランジスタがゲート酸化膜破壊を起こすのを防止することができる。

【0010】本発明の定電圧回路は、基準電圧発生回路と、基準電圧発生回路の出力を一方の入力とし、出力電圧を分圧した電圧を他方の入力とする差動增幅回路と、差動增幅回路により制御される出力トランジスタとを備えた定電圧回路であって、出力トランジスタは横形DMOSトランジスタにより構成され、横形DMOSトランジスタのゲート電極配線に、この横形DMOSトランジスタのゲート酸化膜破壊電圧より低い降伏電圧をもつ保護ダイオードが接続されているものである。

【0011】本発明の定電圧回路の一態様は、出力トランジスタを構成する横形DMOSトランジスタのゲート酸化膜の膜厚が基準電圧回路もしくは差動增幅回路又はそれらの両方に含まれるコンベンショナル型MOSトランジスタのゲート酸化膜の膜厚よりも薄く形成されているものである。

【0012】横形DMOSトランジスタのゲート電極配線に、横形DMOSトランジスタのゲート酸化膜破壊電

圧より低い降伏電圧をもつ保護ダイオードが接続されているので、横形DMOSトランジスタのゲート酸化膜の損傷を防止できる。これにより、横形DMOSトランジスタのゲート酸化膜の膜厚をコンベンショナル型MOSトランジスタよりも薄く形成することができる。その結果、出力トランジスタを構成する横形DMOSトランジスタのゲート酸化膜の損傷を防止でき、チップ面積を縮小化でき、かつ低い電圧で動作させることができるようになる。

【0013】

【発明の実施の形態】本発明の半導体装置において、保護ダイオードの一例は、横形DMOSトランジスタが形成されている基板に形成された縦型バイポーラトランジスタ構造のエミッタとコレクタを共通とし、ベースとの間で形成するPNダイオードである。縦型バイポーラトランジスタ構造のエミッタとコレクタを共通にすることにより基板から分離でき、PNダイオードが逆方向電圧で降伏しても基板側へ電流が流れないので、誤動作を防止することができる。また、このPNダイオードは拡散層で構成されているので逆方向電流がほとんど流れず、差動增幅回路の出力への影響も少ない。

【0014】本発明の半導体装置の一態様は、横形DMOSトランジスタが形成されている基板にはコンベンショナル型MOSトランジスタも形成されており、横形DMOSトランジスタのゲート酸化膜の膜厚がコンベンショナル型MOSトランジスタのゲート酸化膜の膜厚よりも薄く形成されているものである。横形DMOSトランジスタのゲート電極配線には保護ダイオードが接続されているので、横形DMOSトランジスタのゲート酸化膜の膜厚をコンベンショナル型MOSトランジスタよりも薄く形成しても横形DMOSトランジスタのゲート酸化膜の損傷を防止することができ、横形DMOSトランジスタを低い電圧で動作させることができるようになる。

【0015】

【実施例】図1は、半導体装置の一実施例を備えた定電圧回路の一実施例を示す回路図である。この定電圧回路は正の出力電圧をもつものである。電源に接続される入力端子(Vin)1と、負荷に接続される出力端子(Vout)3との間に、出力トランジスタを構成するPチャネル型横形DMOSトランジスタ(以下、PchLDMOSトランジスタという)5が設けられている。差動増幅回路7が設けられており、差動増幅回路7の出力端子はPchLDMOSトランジスタ5のゲート電極に接続されている。差動増幅回路7の反転入力端子は基準電圧発生回路(Vref)9に接続されている。反転入力端子には基準電圧発生回路9から基準電圧が印加される。非反転入力端子には、PchLDMOSトランジスタ5の出力電圧を分圧抵抗R1とR2で分圧した電圧が印加される。差動増幅回路7及び基準電圧発生回路9の電源は入力端子1から供給される。差動増幅回路7、基

準電圧発生回路9及び抵抗R2は接地されている。

【0016】PchLDMOSトランジスタ5のゲート電極へつながる配線（ゲート電極配線）と、PchLD MOSトランジスタ5のソースとの間に保護ダイオード11が接続されている。保護ダイオード11は擬型バイポーラトランジスタ構造であり、そのエミッタとコレクタを共通とし、ベースとの間で形成するPNダイオードにより構成されており、PchLDMOSトランジスタ5がゲート酸化膜破壊を起こす程度の大きさの電圧（ゲート酸化膜破壊耐圧）の約2分の1の逆耐圧をもつものである。

【0017】この実施例では、例えばPchLDMOSトランジスタ5のゲート酸化膜破壊耐圧は30Vであり、保護ダイオード11の降伏電圧は15Vである。PchLDMOSトランジスタ5のソース電位は30Vである。入力端子1からの入力電圧を降圧させる場合、入力電圧を抵抗分割で出力させるが、出力端子3に接続される外部負荷に流す電流量によりPchLDMOSトランジスタ5のオン抵抗を可変させなければ出力電圧が一定にならない。このため、差動增幅回路7内で基準電圧発生回路9からの基準電圧と抵抗R1、Rからの帰還抵抗電圧を比較させることにより出力電圧を一定にする。

【0018】ここで、出力電流の変化が大きい場合に、差動增幅回路7から出力される電圧が入力電圧から基準電圧付近まで下がる可能性がある。差動增幅回路7の出力、ひいてはPchLDMOSトランジスタ5のゲート電極配線の電圧が15V以下になったとき、保護ダイオード11が降伏を起こし、出力トランジスタのゲート電極配線の電圧の降下を防止する。これにより、PchLDMOSトランジスタ5のゲート・ソース間の電位差が15Vより大きくなるのを防止することができ、PchLDMOSトランジスタ5のゲート酸化膜の損傷を防止することができる。

【0019】図2は、差動增幅回路7の一例を示す回路図である。ただし、本発明の定電圧回路を構成する差動增幅回路はこれに限定されるものではなく、種々の差動增幅回路を用いることができる。一対の差動入力用のNチャネル型コンベンショナル型MOSトランジスタ（以下、NchMOSトランジスタという）Nch3、Nch4のドレインがそれぞれNチャネル型コンベンショナル型MOSトランジスタ（以下、PchMOSトランジスタという）Pch1、Pch2を介して入力端子1に接続されている。PchMOSトランジスタPch1、Pch2のゲート電極が相互に接続され、いずれか一方のNchMOSトランジスタ、例えばNch4のドレインに接続されることにより、PchMOSトランジスタPch1、Pch2が負荷の役割を果たしている。NchMOSトランジスタNch3のゲート電極には基準電圧発生回路9の電圧（Vref）が入力され、NchM

OSトランジスタNch4のゲート電極には帰還抵抗電圧（分圧抵抗R1、R2による電位）が入力される。NchMOSトランジスタNch3、Nch4のソースは相互に接続され、定電流回路8を介して接地されている。この差動增幅回路7ではPchMOSトランジスタPch1、NchMOSトランジスタNch3間の接続点NODE1が出力端子となって、LDMOSトランジスタ5のゲート電極に接続されている。

【0020】図1及び図2に示す実施例では、保護ダイオード11が入力端子1につながる入力電圧ラインと差動增幅回路7の出力端子（接続点NODE1）の間に設けられているので、差動增幅回路7のNchMOSトランジスタNch3で電流制限がかかり、大電流が流れることがない。これにより、差動增幅回路7内のMOSトランジスタPch1、Pch2、Nch3、Nch4の損傷及び保護ダイオード11の損傷を防止できる。

【0021】図3は、図1の定電圧回路を構成するPchLDMOSトランジスタ5、保護ダイオード11、抵抗R1又はR2を構成する高抵抗ポリシリコンパターン、並びに差動增幅回路7を構成するNchMOSトランジスタ及びPchMOSトランジスタを示す断面図である。基板抵抗が20Ωcm程度のP型半導体基板13表面に、LOCOS (Local Oxidation of Silicon) 法により形成された素子分離用のフィールド酸化膜15が形成されている。

【0022】PchMOSトランジスタ17の領域には、半導体基板13にN型ウエル領域（Nwell1）17aが形成されている。N型ウエル領域17a内にP型ソース領域17sとP型ドレイン領域17dが間隔をもって形成されている。ソース領域17s、ドレイン領域17d間のN型ウエル領域17上に、例えば膜厚が60nmのゲート酸化膜17oxを介して、ポリシリコンからなるゲート電極17gが形成されており、ゲート電極17g以下のN型ウエル領域17a表面がチャネル領域となる。ゲート電極17gにはP型不純物、例えばボロンが注入されている。

【0023】NchMOSトランジスタ19の領域には、半導体基板13にP型ウエル領域（Pwell1）19aが形成されている。P型ウエル領域19a内にN型ソース領域19sとN型ドレイン領域19dが間隔をもって形成されている。ソース領域19s、ドレイン領域19d間のP型ウエル領域19上に、例えば膜厚が60nmのゲート酸化膜19oxを介して、ポリシリコンからなるゲート電極19gが形成されており、ゲート電極19g以下のP型ウエル領域19a表面がチャネル領域となる。ゲート電極19gにはN型不純物、例えばリンが注入されている。

【0024】この実施例では、差動增幅回路7を構成するPchMOSトランジスタ17及びNchMOSトランジスタ19について、N型ウエル領域17a及びP型

ウェル領域19aのチャネル領域の不純物濃度は $1.5 \times 10^{16} \text{ cm}^{-3}$ であり、ソース領域17s, 19s及びドレイン領域17d, 19dの不純物濃度は $5.0 \times 10^{19} \text{ cm}^{-3}$ 以上であり、両トランジスタ17, 19ともに、ソース領域17s, 19s及びドレイン領域17d, 19dの方がチャネル領域よりも不純物濃度が濃い構造（コンベンショナル型MOSトランジスタ）となっている。

【0025】PchLDMOSトランジスタ5の領域には、半導体基板13に、半導体基板13との分離用のN型ウェル領域5aが形成されている。N型ウェル領域5a内にP型ウェル領域5bが形成されている。P型ウェル領域5b内にN型ウェル領域5cが形成されており、N型ウェル領域5c内にP型ソース領域5sが形成されている。P型ウェル領域5bはドレイン領域となり、オーミックコンタクト用高濃度P型拡散領域5dも形成されている。ソース領域5s、高濃度P型拡散領域5d間にP型ウェル領域5b上及びN型ウェル領域5c上に、両ウェル領域5b, 5c上にまたがって、例えば膜厚が30nmのゲート酸化膜5oxを介して、ポリシリコンからなるゲート電極5gが形成されている。ゲート電極5g下のN型ウェル領域5c表面がチャネル領域となる。ゲート電極5gにはP型不純物、例えばボロンが注入されている。

【0026】N型ウェル領域5cのチャネル領域の不純物濃度は $1.5 \times 10^{16} \text{ cm}^{-3}$ であり、P型ウェル領域5bの不純物濃度は $5.0 \times 10^{15} \text{ cm}^{-3}$ であり、PchLDMOSトランジスタ5ではドレイン領域の方がチャネル領域よりも不純物濃度が薄い構造（横形DMOSトランジスタ）となっている。

【0027】保護ダイオード11の領域には、半導体基板13にN型ウェル領域11aが形成されている。N型ウェル領域11a内にP型ウェル領域11bが形成されている。P型ウェル領域11b内にN型ウェル領域11cが形成されている。N型ウェル領域11c内に、N型ウェル領域11cよりも濃い濃度でN型不純物が注入されたオーミックコンタクト領域11dが形成されている。P型ウェル領域11b表面及びN型ウェル領域11c表面には、例えば膜厚が30nmのシリコン酸化膜11oxが形成されている。

【0028】保護ダイオード11は、縦型バイポーラトランジスタ構造であり、N型ウェル領域（エミッタ）11aとN型ウェル領域（コレクタ）11cを共通とし、P型ウェル領域（ベース）11bとの間でPNダイオードを形成するように配線が接続される。図1も参照して説明すると、N型ウェル領域11a及びN型ウェル領域11cはPchLDMOSトランジスタ5のソース領域5sにつながる配線に接続され、P型ウェル領域11bはPchLDMOSトランジスタ5のゲート電極5gにつながる配線に接続される。

【0029】例えばリンが注入されたポリシリコン膜からなる高抵抗ポリシリコンパターン21の領域には半導体基板にP型ウェル領域21bが形成されており、高抵抗ポリシリコンパターン21はP型ウェル領域21bに形成されたフィールド酸化膜15上に形成されている。高抵抗ポリシリコンパターン21の両端部には、P型不純物が注入されてオーミックコンタクト領域21aが形成されている。

【0030】N型ウェル領域5a, 11a, 17aのフィールド酸化膜15下の領域には、寄生Pチャネル型フィールドトランジスタの反転防止のためにN型不純物が注入されたN型反転防止領域23が形成されている。P型ウェル領域5b, 11b, 19a, 21bのフィールド酸化膜15下の領域には、寄生Nチャネル型フィールドトランジスタの反転防止のためにP型不純物が注入されたP型反転防止領域25が形成されている。

【0031】図4から図8は、この実施例の製造方法の一例を示す工程断面図である。

(1) 基板抵抗が $20 \Omega \text{ cm}$ 程度の半導体基板13上に、PchMOSトランジスタ17、PchLDMOSトランジスタ5及び保護ダイオード11を形成する領域に開口部をもつレジストパターンを形成し、そのレジストパターンをマスクにして、例えば印加電圧が150KeV、ドーズ量が $3.0 \times 10^{12} \text{ cm}^{-2}$ の条件で半導体基板13にリン注入を行なう。レジストパターンを除去した後、1180°C、24時間の条件でリンの熱拡散を行ない、N型ウェル領域5a, 11a, 17aを同時に形成する（図4（A）参照）。

【0032】(2) 半導体基板13上に、N型ウェル領域5a内、N型ウェル領域11a内及びNchMOSトランジスタ19形成領域に開口部をもつレジストパターンを形成し、印加電圧が50KeV、ドーズ量が $4.0 \times 10^{12} \text{ cm}^{-2}$ の条件でボロン注入を行なう。レジストパターンを除去した後、1150°C、8時間の条件でボロンの熱拡散を行ない、N型ウェル領域17内にP型ウェル領域19及びN型ウェル領域5a内にP型ウェル領域5bを同時に形成する（図4（B）参照）。

【0033】(3) 各素子を形成する領域を規定するために、半導体基板13上全面に25nmの膜厚でシリコン酸化膜23を形成し、さらにその上に100nmの膜厚でシリコン窒化膜25を形成した後、写真製版技術により素子形成領域のみに窒化膜25が残るようにレジストパターン27を形成する。その後、酸化膜ドライエッティングによりレジストパターン27をマスクにしてシリコン窒化膜25及びシリコン酸化膜23をバーニングする（図4（C）参照）。

【0034】(4) P型ウェル領域5b, 11b, 19a, 21bの周辺部上が開口されるようにレジストパターン29を形成した後、寄生NchMOSトランジスタの反転防止のために、レジストパターン29をマスクに

して、例えば印加電圧が100KeV、ドーズ量が $5.0 \times 10^{13} \text{ cm}^{-2}$ の条件でP型ウエル領域5b, 11b, 19a, 21bの周辺部にボロンを注入してP型反転防止領域25を形成する(図5(D)参照)。

【0035】(5) レジストパターン27, 29を除去した後、N型ウエル領域5a, 11a, 17aの周辺部上で開口されるようにレジストパターン31を形成する。寄生PchMOSトランジスタの反転防止のためには、レジストパターン31をマスクにして、例えば印加電圧が40KeV、ドーズ量が $6.0 \times 10^{12} \text{ cm}^{-2}$ の条件でN型ウエル領域5a, 11a, 17aの周辺部にリンを注入してP型反転防止領域25を形成する(図5(E)参照)。

【0036】(6) レジストパターン31を除去した後、シリコン酸化膜23及びシリコン窒化膜25を用いたLOCOS法により、半導体基板13表面にフィールド酸化膜15を 800 nm 程度の膜厚で形成する。その後、シリコン窒化膜25及びシリコン酸化膜23を除去する(図5(F)参照)。

【0037】(7) 露出したN型ウエル領域17aの表面及びP型ウエル領域5b, 11b, 19aの表面に、例えば920°Cで熱酸化処理を施して、膜厚が 40 nm のシリコン酸化膜33を形成する。写真製版技術により、N型ウエル領域17a上に開口部をもつレジストパターンを形成した後、そのレジストパターンをマスクにして、PchMOSトランジスタ17のしきい値V_{th}を決めるために、例えば印加電圧が100KeV、ドーズ量が $5.0 \times 10^{11} \text{ cm}^{-2}$ の条件でN型ウエル領域17aにシリコン酸化膜33を介してリンを注入する。レジストパターンを除去した後、写真製版技術によりP型ウエル領域19a上に開口部をもつレジストパターンを形成する。そのレジストパターンをマスクにして、NchMOSトランジスタ19のしきい値V_{th}を決めるために、例えば印加電圧が30KeV、ドーズ量が $5.0 \times 10^{11} \text{ cm}^{-2}$ の条件でP型ウエル領域19aにシリコン酸化膜33を介してボロンを注入する(図6(G)参照)。

【0038】(8) レジストパターンを除去した後、写真製版技術により、P型ウエル領域5b及び11b上に開口部をもつレジストパターンを形成する。そのレジストパターンをマスクにして酸化膜エッチングを行ない、P型ウエル領域5b, 11bの表面のシリコン酸化膜3を除去する。レジストパターンを除去した後、例えば920°Cの熱酸化処理を施して、P型ウエル領域5b, 11bの表面に膜厚が 30 nm のシリコン酸化膜5ox, 11oxをそれぞれ形成する。シリコン酸化膜5oxはPchLDMOSトランジスタ5のゲート酸化膜を構成する。このとき、N型ウエル領域17a表面及びP型ウエル領域19a表面のシリコン酸化膜3は膜厚が 60 nm になり、ゲート酸化膜17ox及び19oxとなる。これ

により、PchLDMOSトランジスタ5のゲート酸化膜5oxと、PchMOSトランジスタ17のゲート酸化膜17ox及びNchMOSトランジスタ19のゲート酸化膜19oxの膜厚を異ならせる(図6(H)参照)。

【0039】(9) 例えば減圧CVD(化学的気相成長)法により、半導体基板13上全面にポリシリコン膜35を 500 nm の膜厚で形成する。850°Cの熱酸化処理を施してポリシリコン膜35の表面に膜厚が 25 nm のシリコン酸化膜(図示は省略)を形成する。その後、例えば印加電圧が30KeV、ドーズ量が $1.5 \times 10^{14} \text{ cm}^{-2}$ の条件でポリシリコン膜35にリン注入を行なう。ポリシリコン膜35上に、PchMOSトランジスタ17のゲート電極17g形成領域及びPchLDMOSトランジスタ5のゲート電極5g形成領域に開口部をもつレジストパターン37を形成する。レジストパターン37をマスクにして、例えば印加電圧が20KeV、ドーズ量が $5.0 \times 10^{14} \text{ cm}^{-2}$ の条件でポリシリコン膜35にボロンを注入して、PchMOSトランジスタ17のゲート電極17g及びPchLDMOSトランジスタ5のゲート電極5gを形成する(図6(I)参照)。

【0040】(10) レジストパターン37を除去した後、ゲート電極5g, 17gを含むポリシリコン膜35の表面に例えば高温源厚CVD法により900°Cの条件でシリコン酸化膜39を 200 nm の膜厚で形成する。ゲート電極5g, 17g上、及びP型ウエル領域21b上のフィールド酸化膜15上の高抵抗ポリシリコンパターン21を形成する領域にシリコン酸化膜39が残るよう写真製版技術によりレジストパターンを形成した後、そのレジストパターンをマスクにして酸化膜エッチングを行ない、ゲート電極5g, 17g上及び高抵抗ポリシリコンパターン21を形成する領域にシリコン酸化膜39を残す。レジストパターンを除去した後、半導体基板13上全面にリンを堆積し、ポリシリコン膜35に例えば950°C、15分間の条件でリンを注入して、リン注入されたポリシリコン膜35aを形成する。ここで、高抵抗ポリシリコンパターン21の領域のポリシリコン膜35を高抵抗ポリシリコンパターン21とする(図7(J)参照)。

【0041】(11) 堆積したリン及びシリコン酸化膜39を除去した後、写真製版技術により、ゲート電極5g, 17g上、高抵抗ポリシリコンパターン21上、及びNchMOSトランジスタ19のゲート電極19gを形成する領域にレジストパターン41を形成する。レジストパターン41をマスクにして、ポリシリコン膜35aに対してドライエッチングを行ない、ゲート電極5g, 17g, 19g及び高抵抗ポリシリコンパターン21をバーニングする(図7(K)参照)。

【0042】(12) レジストパターン41を除去した後、PchLDMOSトランジスタ5のソース領域及び

保護ダイオード11のエミッタ領域に開口部をもつレジストパターン43を形成する。レジストパターン43をマスクにして、例えば印加電圧が100KeV、ドーズ量が $3.0 \times 10^{13} \text{ cm}^{-2}$ の条件でP型ウエル領域5b, 11bにリンの注入を行なう。その後、例えば1100°C、2時間30分の条件で熱処理を施し、注入したリンを熱拡散させてP型ウエル領域5b内にN型ウエル領域5cを形成し、P型ウエル領域11b内にN型ウエル領域11cを形成する(図7(L)参照)。

【0043】(13) レジストパターン43を除去した後、NchMOSトランジスタ19形成領域、保護ダイオード11のオーミックコンタクト用のオーミックコンタクト領域11d形成領域、及び高抵抗ポリシリコンパターン21の両端部領域に開口部をもつレジストパターン45を形成する。露出しているNchMOSトランジスタ19形成領域のゲート酸化膜19ox及び保護ダイオード11形成領域のシリコン酸化膜11oxを酸化膜エッチングにより除去した後、レジストパターン45及びゲート電極19gをマスクにして、例えば印加電圧が50KeV、ドーズ量が $6.0 \times 10^{15} \text{ cm}^{-2}$ の条件でヒ素の注入を行ない、NchMOSトランジスタ19形成領域のP型ウエル領域19a内にソース領域19s及びドレイン領域19dを形成し、保護ダイオード11形成領域のN型ウエル領域11c内にオーミックコンタクト用のオーミックコンタクト領域11dを形成し、高抵抗ポリシリコンパターン21の両端部にオーミックコンタクト領域21aを形成する(図8(M)参照)。その後、例えば1000°C、20分間の条件で熱処理を施し、続けて900°C、30分間の条件で熱処理を施して、ゲート電極19g表面、ソース領域19s表面、ドレイン領域19d表面、オーミックコンタクト領域11d表面及びオーミックコンタクト領域21a表面に膜厚が15nmのシリコン酸化膜(図示は省略)を形成する。

【0044】(14) レジストパターン45を除去した後、PchLDMOSトランジスタ5形成領域及びPchMOSトランジスタ17形成領域に開口部をもつレジストパターン47を形成する。露出しているPchLD MOSトランジスタ5形成領域のゲート酸化膜5ox及びPchMOSトランジスタ17形成領域のゲート酸化膜17oxを酸化膜エッチングにより除去した後、レジストパターン47及びゲート電極5g, 17gをマスクにして、例えば印加電圧が30KeV、ドーズ量が $2.5 \times 10^{15} \text{ cm}^{-2}$ の条件でボロンの注入を行ない、PchLDMOSトランジスタ5形成領域のN型ウエル領域5c内にソース領域5sを形成し、P型ウエル領域5b内に高濃度P型拡散領域5dを形成し、PchMOSトランジスタ17形成領域のN型ウエル領域17a内にソース領域17s及びドレイン17dを形成する(図8(N)参照)。

【0045】(15) レジストパターン47を除去した

後、半導体基板13上全面に、例えばBPSG膜からなる層間絶縁膜(図示は省略)を常圧CVD法により800nmの膜厚で形成する。その後、900°C、1時間の条件で熱処理を施して、素子領域の形成を完了する(図3参照)。その後、図1に示す構成になるように配線を形成する。

【0046】図9は、定電圧回路の他の実施例を示す回路図である。この定電圧回路は負の出力電圧をもつものである。入力端子(Vin)1と出力端子(Vout)3との間に分圧抵抗R1とR2が順に接続されている。抵抗R2と出力端子3の間に、出力トランジスタを構成するNチャネル型横形DMOSトランジスタ(以下、NchLDMOSトランジスタという)6のソースが接続されている。NchLDMOSトランジスタ6のドレインは接地されている。

【0047】差動增幅回路7が設けられており、差動增幅回路7の出力端子はNchLDMOSトランジスタ6のゲート電極に接続されている。差動增幅回路7の反転入力端子は基準電圧発生回路(Vref)9に接続されている。反転入力端子には基準電圧発生回路9から基準電圧が印加され、非反転入力端子には出力電圧を抵抗R1とR2で分圧した電圧が印加される。差動增幅回路7及び基準電圧発生回路9の電源は入力端子1から供給される。差動增幅回路7及び基準電圧発生回路9は接地されている。

【0048】NchLDMOSトランジスタ6のゲート電極へつながる配線と、NchLDMOSトランジスタ6のドレインとの間に保護ダイオード11が接続されている。保護ダイオード11は縦型バイポーラトランジスタ構造であり、そのエミッタとコレクタを共通とし、ベースとの間で形成するPNダイオードにより構成されており(図3参照)、NchLDMOSトランジスタ6のゲート酸化膜破壊耐圧の約2分の1の逆耐圧をもつものである。

【0049】この実施例では、例えばNchLDMOSトランジスタ6のゲート酸化膜破壊耐圧は30Vであり、保護ダイオード11の降伏電圧は15Vである。NchLDMOSトランジスタ6のドレインは接地電位である。差動增幅回路7の出力、すなわちNchLDMOSトランジスタ6のゲート電極配線の電圧が15V以上になったとき、保護ダイオード11が降伏を起こし、出力トランジスタのゲート電極配線の電圧の上昇を防止する。これにより、NchLDMOSトランジスタ6のゲート・ドレイン間の電位差が15Vより大きくなるのを防止することができ、NchLDMOSトランジスタ6のゲート酸化膜破壊を防止することができる。

【0050】

【発明の効果】本発明の半導体装置では、横形DMOSトランジスタのゲート電極配線に、この横形DMOSトランジスタのゲート酸化膜破壊電圧より低い降伏電圧を

もつ保護ダイオードが接続されているようにしたので、横形DMOSトランジスタのゲート酸化膜の損傷を防止しつつ、出力電流を多く流すことができる横形DMOSトランジスタが使用できる。

【0051】本発明の定電圧回路では、出力トランジスタが横形DMOSトランジスタにより構成され、横形DMOSトランジスタのゲート電極配線に、この横形DMOSトランジスタのゲート酸化膜破壊電圧より低い降伏電圧をもつ保護ダイオードが接続されているようにしたので、横形DMOSトランジスタのゲート酸化膜の損傷を防止することができる。さらに、横形DMOSトランジスタのゲート酸化膜の膜厚をコンベンショナル型MOSトランジスタよりも薄く形成でき、出力トランジスタとして横形DMOSトランジスタを用いることにより、チップ面積を縮小化でき、かつ低い電圧で動作させることができるようになる。

【図面の簡単な説明】

【図1】定電圧回路の一実施例を示す回路図である。

【図2】同実施例を構成する差動增幅回路の一例を示す回路図である。

【図3】同実施例を構成するPチャネル型横形DMOS

トランジスタ、保護ダイオード、抵抗、並びに差動増幅回路を構成するNチャネル型コンペニショナル型MOSトランジスタ及びPチャネル型コンペニショナル型MOSトランジスタを示す断面図である。

【図4】同実施例の製造方法の一例の最初を示す工程断面図である。

【図5】同製造方法の続きを示す工程断面図である。

【図6】同製造方法の継ぎを示す工程断面図である。

【図3】同製造方法の鏡きを示す工程断面図である。

【図8】同製造方法の最後を示す工程断面図である。

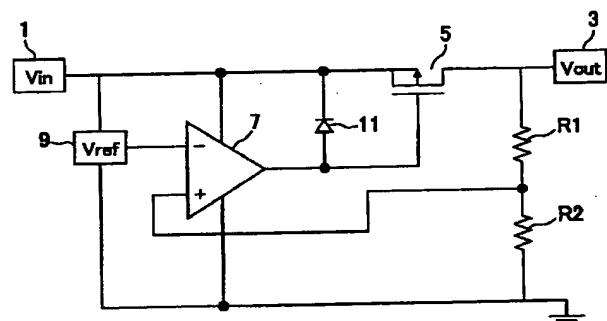
【図8】 宝電圧回路の他の審査例を示す回路図である。

【図1-2】従来の電気回路を示す回路図である。

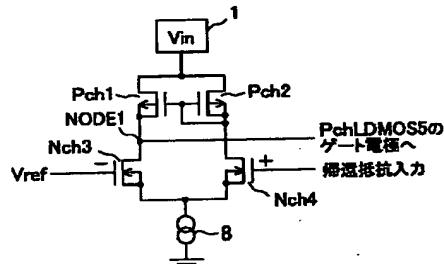
【符号の説明】

- 1 入力端子
 3 出力端子
 5 Pチャネル型横形DMOSトランジスタ
 7 差動増幅回路
 9 基準電圧発生回路
 11 保護ダイオード
 R1, R2 分圧抵抗

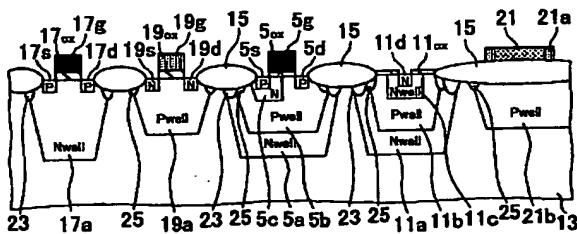
【图1】



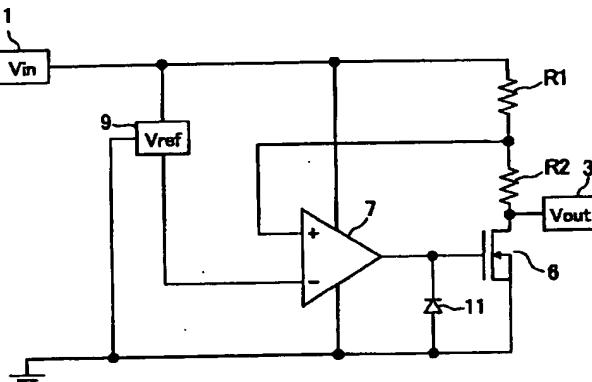
【図2】



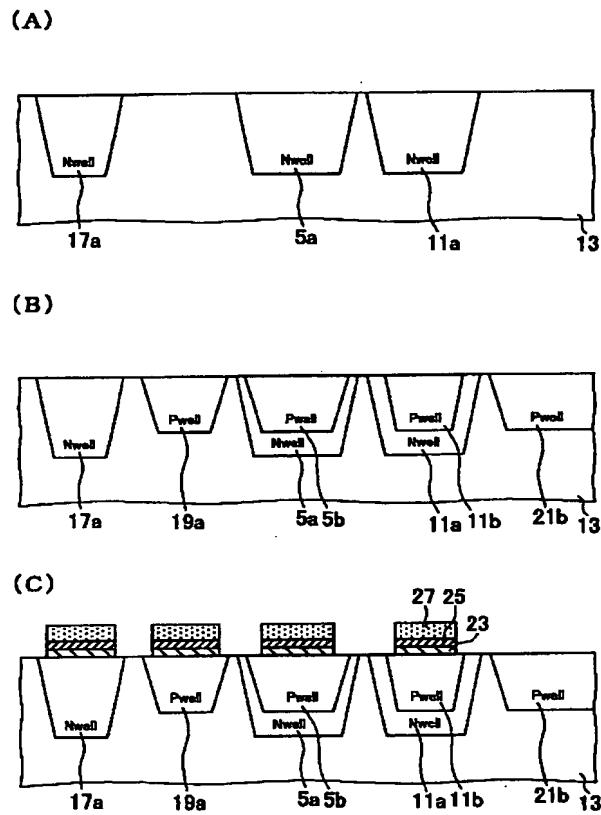
(图3)



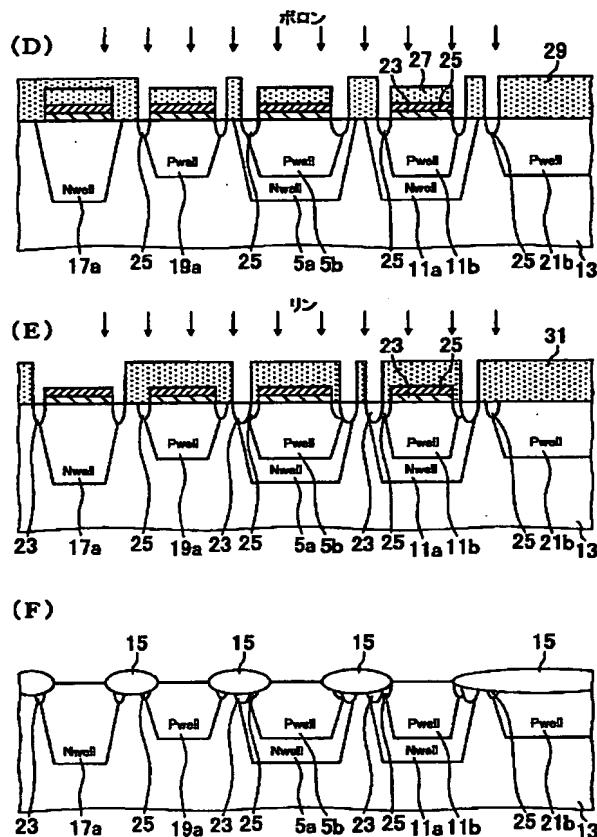
[图9]



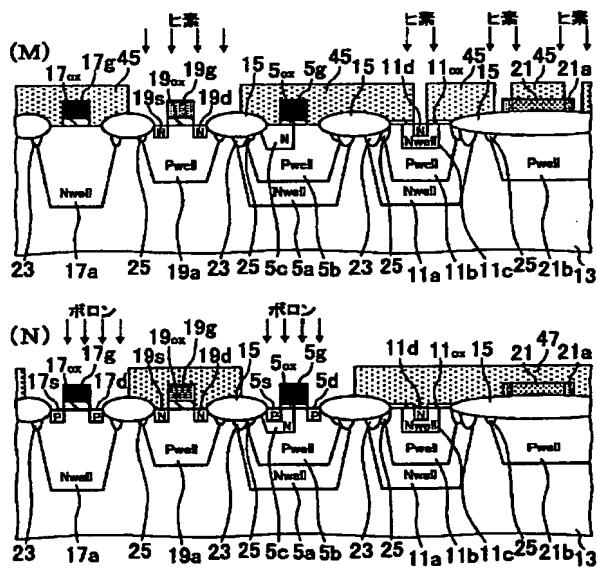
【図4】



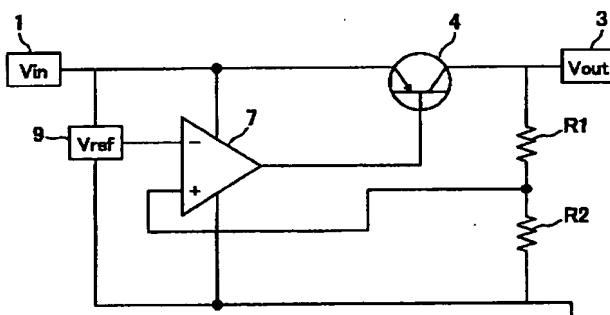
【図5】



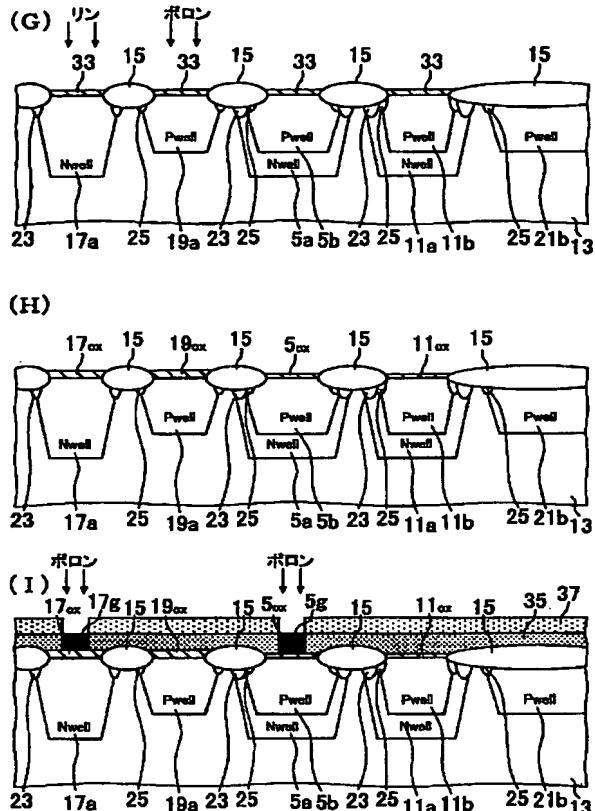
【図8】



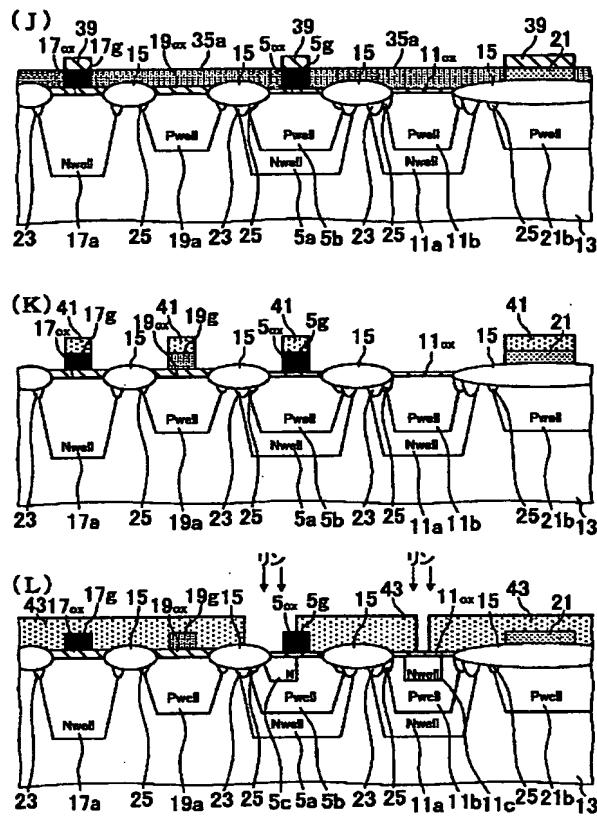
【図10】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 7

H O 1 L 21/822

21/8234

21/8238

27/092

29/78

識別記号

F I

H O 1 L 27/04

マーク(参考)

B

P

27/06

1 0 2 A

27/08

3 2 1 A

3 2 1 L

29/78

3 0 1 K

3 0 1 D

Fターム(参考) 5F032 AA13 AC01 CA03 CA14 CA15
CA17 CA20 CA24 CA25 DA43
DA53
5F038 AR09 AR16 AV06 BB04 BB08
BH05 BH12 DF01 EZ13 EZ14
EZ16 EZ17 EZ20
5F048 AA05 AA07 AB08 AC03 AC10
BA01 BB06 BB07 BB16 BB18
BC03 BC07 BD01 BE02 BE03
BE04 BG12 BH07 CC07
5F140 AA29 AB03 AB06 AC21 BA01
BE07 BF01 BF04 BG28 BG43
BG44 BH30 BH49 BK13 CB01
CC07 CC12 CC19
5H430 BB09 BB11 EE04 FF02 FF12
FF13 HH03 LA01